

新特器件应用

硬件控制的 8k ×8 SRAM/ EEPROM U630H64 原理及接口应用

上海海军医学研究所 王云景 鲁毅钧

摘要: U630H64 内含反相映射的 8k 字节 SRAM 和 8k 字节 EEPROM, 通过命令可以将 SRAM 中的数据写入 EEPROM 或把 EEPROM 中的数据回送至 SRAM, 以备断电时的数据保护。该芯片所采用保护数据的方法是除 NVSRAM、Flash 之外的一种独特的方法。本文介绍了该芯片的内部结构, 并给出了与单片机的接口电路。

关键词: 数据存贮 SRAM EEPROM 回送

1. 概述

U630H64 是一种具有 8k ×8Bit SRAM 和 8k ×8Bit EEPROM 的高速数据存贮器。对该器件 SRAM 的操作方式与普通的 SRAM 一样, 其高速的读写速度完全能满足单片机系统的要求。因此该芯片应用于单片机系统, 既能快速的读写数据, 断电后又能保存数据。U630H64 的姐妹片是 U631H64, 其内部结构和功能与 U630H64 基本相同, 不同的是 U631H64 对 EEPROM 的读操作是由 6 个固定的地址码控制的, 称之为软件控制。

U630H64 具有以下特点:

SRAM 的写入时间分三档: 25ns、35ns、

45ns(可根据型号后缀选择档次);

SRAM 的读出时间分三档: 12ns、20ns、

25ns(根据型号后缀选择档次);

可对 SRAM 读写任意次;

EEPROM 的写入时间 < 10ms;

EEPROM 的回送时间 < 20μs;

对 EEPROM 的写入次数为 10 万次;

从 EEPROM 中回送数据任意次;

单一 5V 电源供电;

上电自动数据回送。

2. 内部结构

U630H64 采用 28 脚双列直插封装形式 (DIP), 如图 1 所示, A0~A12 脚是地址线, 通过 13 根地址线可以对 SRAM 或 EEPROM 的 8192 个存贮单元进行寻址, DQ0~DQ7 脚是 8 位数据输入/输出端, 由于它具有三态功能, 因此可直接挂在单片机的数据总线上。 \bar{E} 脚是片选端, \bar{G} 脚是数据输出使能端, \bar{W} 是数据写入使能端, NE 脚是硬件控制的非易失性数据使能端, 通过该脚的逻辑状态, 可以控制是对 SRAM 操作, 还是对 EEPROM 操作。 V_{CC} 脚是电源供电端, V_{SS} 脚是接地端。

U630H64 的内部结构见图 2。它主要由 SRAM 阵列和 EEPROM 阵列组成, 二者的容量相同, 都有 128 行 64 列, 形成 8192 个字节,

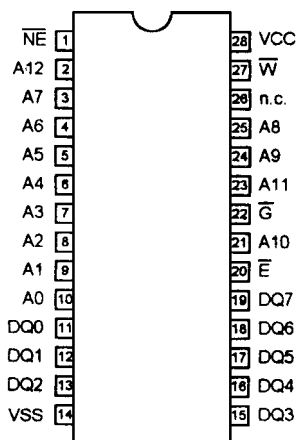


图 1 U630H64 封装图

配置有对 SRAM 或 EEPROM 操作的行列译码及输入缓冲器, 还有 EEPROM 的控制单元等。SRAM 与 EEPROM 之间的数据传输是以并行方式双向传输, 所以对 SRAM 操作还是对 EEPROM 操作, 完全取决于 \overline{NE} 脚的逻辑电平。当数据被存入到 EEPROM 后, 对 SRAM 的任意读写都不会影响该数据的安全, 所以两种存贮单元完全独立。

3. 读操作

U630H64 芯片具有两种完全独立的操作模式即 SRAM 模式和非易失性模式, 由 \overline{NE} 脚的逻辑电平来决定。在 SRAM 模式下, 功能及使用方法与一般 SRAM 一样, 而在非易失性模式下, 数据可以从 SRAM 传送到 EEPROM (存贮操作), 也可以从 EEPROM 传送到 SRAM (回送操作)。在这种模式下, 外部的输入/输出

均无效, 所以一旦启动存贮周期, 在 10ms 以内不可以再对 SRAM 进行读操作。

3.1 对 SRAM 的读写操作

对 U630H64 的各种操作, 都取决于 \overline{E} 、 \overline{G} 、 \overline{W} 、 \overline{NE} 脚的逻辑状态。对 SRAM 的读写逻辑状态见表 1。

当 \overline{E} 、 \overline{G} 为低电平, \overline{W} 、 \overline{NE} 为高电平时, 可完成一次对 SRAM 的读操作。配合 A0 ~ A12 的寻址, 能够对 8192 个存贮单元中任意一个进行读取。如果 \overline{E} 、 \overline{G} 、 \overline{W} 、 \overline{NE} 保持读状态, 在芯片延迟 25ns、35ns、45ns 后数据有效, 并一直保持

表 1 对 SRAM 的操作逻辑

操作方式	\overline{E}	\overline{NE}	\overline{W}	\overline{G}	DQ0 ~ DQ7
准备或不选择	H	x	x	x	高阻
内部读	L	H	H	H	高阻
读	L	H	H	L	数据输出
写	L	H	L	x	数据输入

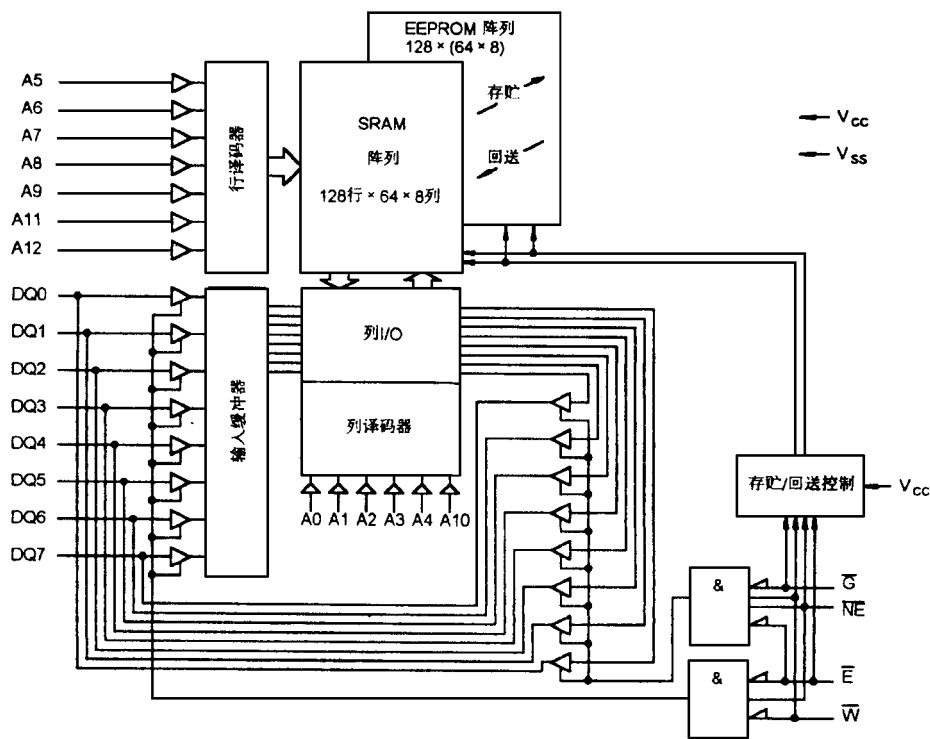


图 2 μ 630H64 内部结构逻辑框图

到地址变化或是 \overline{E} 、 \overline{G} 、变高， \overline{W} 、 \overline{NE} 变低。该三种延迟时间与芯片型号的后缀有关，根据需要可以从三种速度中选取。

当 \overline{E} 、 \overline{W} 为低电平， \overline{NE} 为高电平时完成写周期，但必须等地址码输入稳定之后，再把数据送上数据总线。这些延迟时间为 10ns、13ns、15ns，也是根据芯片后缀来选取。这些延迟时间远小于单片机执行送址指令周期，所以不会引起送数出错。在写周期中， \overline{G} 的逻辑电平可高可低，但最好还是保持高电平，以避免数据总线与 I/O 口的竞争。

3.2 EEPROM 的读写操作

对 EEPROM 的读操作逻辑见表 2。存贮周期是在 \overline{NE} 、 \overline{E} 、 \overline{W} 为低电平， \overline{G} 是高电平的状态下完成的。对于这四种逻辑的先后次序不限，只要达到上述状态，就能完成存贮启动，存贮时间与大多数 EEPROM 一样，时间较长，最

表 2 对 EEPROM 的操作逻辑

操作方式	\overline{E}	\overline{W}	\overline{G}	\overline{NE}
EEPROM 回送	L	H	L	L
EEPROM 存贮	L	L	H	L
无操作	L	L	L	L
	L	H	H	x

大为 10ms，但只要 \overline{W} 和 \overline{E} 开始有效，就不会因对 SRAM 误写而扰乱 SRAM 中的数据。在数据存贮过程中，芯片内部先将 EEPROM 的数据擦除之后，再把 SRAM 中的内容写入 EEPROM。一旦存贮周期被启动，DQ0~DQ7 脚呈高阻状态，输入/输出均无效。

当 \overline{E} 、 \overline{G} 、 \overline{NE} 是低电平，而 \overline{W} 是高电平时则完成一次回送周期。在送数据期间，所有的输入被禁止。在器件内部先把 SRAM 数据擦除，再把 EEPROM 数据回送到 SRAM 单元，而 EEPROM 中的数据保持不变。U630H64 芯片还提供了一种上电自动回送功能。当电源电压 V_{CC} 低于检测电压 V_{SWITCH} (通常为 4.0~4.5V) 时，回送自动开始。因此 U630H64 的 V_{CC} 应大于 4.5V 以上才能正常工作。

4. 与单片机接口应用

U630H64 与 8031 的接口是很方便的，主要是通过单片机对 \overline{E} 、 \overline{G} 、 \overline{W} 、 \overline{NE} 脚进行控制，DQ0~DQ7 可以接数据总线，A0~A12 接地址总线，应用电路见图 3。在单片机外围电路较多的情况下可以使用地址译码器对片选信号 \overline{E} 的控制，地址的分配视需要而定。如果(下转 P23)

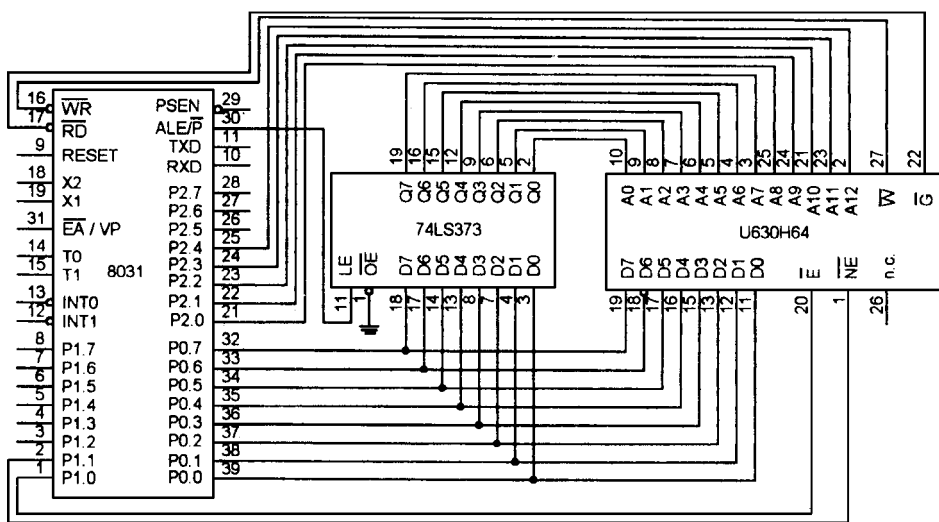


图 3 μ630H64 接口电路

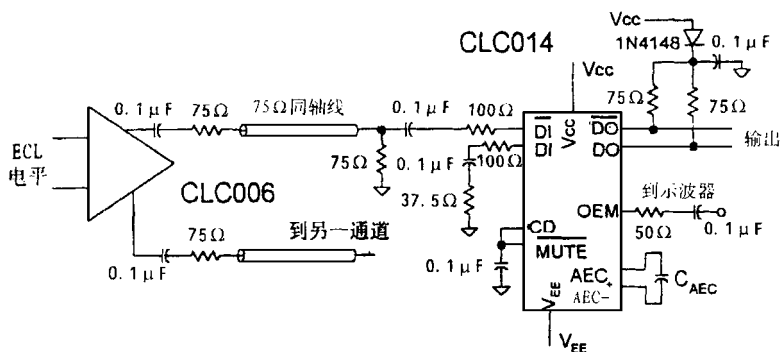


图3 同轴电缆接收器

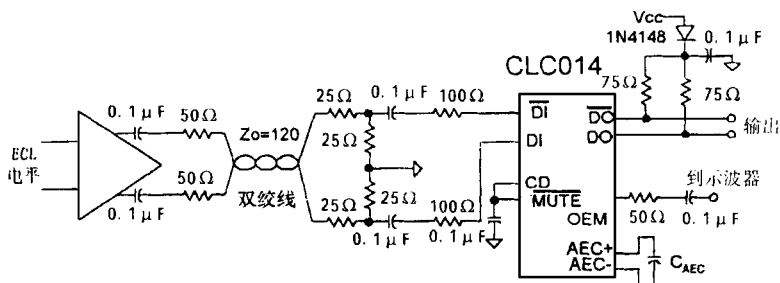


图4 双绞线接收器

如图4所示。驱动器仍采用 CLC006，信号的耦合采用交流耦合方式。双绞线的特性阻抗为 120（第五类 UTP），使用电阻网络与之匹配，输出接法与图3相同。在码速率为 311Mbps 时，采用图示电路对 100m 第五类双绞线进行均衡仍可取得良好效果。

参考文献：

- 1.《Comlinear High - Speed Analog and Mixed - Signal Databook》，National Semiconductor Incorporation, 1997。
2. 董兆鑫等著，《数字通信原理》，国防科技大学出版社，1990年。 咨询编号：980407

(上接 P17) 把 \bar{E} 脚挂在地址总线的最高位 A15，则在 0—7FFFH 的地址范围内均可对 U630H64 的 8k 空间进行寻址。除此之外，还可以使用 I/O 口进行片选，见图3。但在编程时，要注意对数据指针 DPTR 进行检测，以免超出 8k 空间。

5. 注意事项

由于 U630H64 是一种高速器件，因此在 V_{cc} 与 V_{ss} (地) 之间，必须接一个 0.1μF 的高频旁路电容，而其引线离 V_{cc} 和 V_{ss} 越近越好。与其它高速 CMOS IC 一样，一般也要注意电源、地、信号线的走线问题，以免产生噪声。

由于上电自动回送功能，即 $V_{cc} < 4.5V$ 时便发生数据回送，如果 U630H64 在上电回送结束之后，处于写状态，则会冲掉 SRAM 数据，为了避免发生这种情况，应在 \bar{W} 脚与 V_{cc} 之间接一 10k 的上拉电阻，如图3所示。

U630H64 提供两级保护，以禁止存贮误操作。如果控制信号 (\bar{E} 、 \bar{G} 、 \bar{W} 、 \bar{NE}) 在存贮周期结束后，仍保持存贮状态，则 EEPROM 的第二个存贮周期不会被启动，只有在这四种信号任一信号所需状态发生跃迁之后，才可再次启动 EEPROM 的存贮或回送。所以在第二次存贮或回送时，要重新设置启动状态。

咨询编号：980405