

一种高单位增益带宽 CMOS 全差分运算放大器

朱小珍, 柴常春, 朱樟明

(西安电子科技大学 微电子研究所 陕西 西安 710071)

摘要 设计并讨论了一种高单位增益带宽 CMOS 全差分运算放大器。由于折叠共源共栅结构电路具有相对高的单位增益带宽以及开关电容共模反馈电路稳定性好、对运放频率特性影响小等优点,故设计的放大器采用了折叠共源共栅结构以及开关电容共模反馈电路技术,并达到了高单位增益带宽的设计目的。基于 TSMC 0.25 μm CMOS 工艺,仿真结果表明,在 2.5 V 的单电源电压下,运算放大器的直流开环增益为 70 dB,单位增益带宽为 500 MHz。

关键词 单位增益带宽; 折叠共源共栅; 开关电容共模反馈; 全差分

中图分类号: TN402

文献标识码: B

文章编号: 1004-373X(2006)03-068-04

A CMOS Fully Differential Operational Amplifier with High Unity-gain Bandwidth

ZHU Xiaozhen, CHAI Changchun, ZHU Zhangming

(Microelectronics Institute, Xidian University, Xi'an 710071, China)

Abstract This paper designs and discusses a high unity-gain bandwidth CMOS fully differential operational amplifier. Because of these merits of the high unity-gain bandwidth of folded-cascode and switched-capacitor CMFB's good stability little effect on frequency characteristic of operational amplifier. This operational amplifier uses the techniques of folded-cascode and switched-capacitor CMFB circuits to obtain a high unity-gain bandwidth. The operational amplifier is designed in TSMC 0.25 μm CMOS process with 2.5 V power supply and the frequency response shows that a DC open-loop gain of 70dB and a 500 MHz unity-gain bandwidth are achieved.

Keywords unity-gain bandwidth; folded-cascode; switched-capacitor CMFB; fully differential

1 引言

运算放大器(以下简称运放)是模拟集成电路的最基本单元之一。与普通的单端输出运放相比,全差分运放有以下几个优点:更低的噪声,较大的输出电压摆幅,能较好地抑制共模噪声,较好地抑制谐波失真的偶数阶项等^[1]。所以高性能的运放多采用全差分形式。在日益增长的数据转换率要求的背景下,高增益和高单位增益带宽运放作为高速模/数转换器(ADCs)的基本单元,提高增益和单位增益带宽以满足系统精度和快速建立的需要就成为运放设计的关键所在。速度和精度是模拟电路两个最重要的性能指标,然而,对电路这两方面的优化会导致相互矛盾的结果^[2],所以同时满足这两方面的要求是困难的。相比之下,折叠共源共栅(folded-cascode)技术可以较成功地解决这一难题,这种结构的运放具有较高的开环增益及单位增益带宽。由于全差分运放需要共模反馈(CMFB)电路来稳定其共模输出电压^[3,4],而 CMFB 电路主要有两种设

计方法:连续时间法和开关电容(SC)法。前者限制了最大输出信号摆幅,同时会引入共模信号导致输出非线性。后者的优越性在于他能支持更大的信号摆幅、稳定性好、对运放频率特性影响小、不消耗额外功率等,但他仅用于开关电容电路,因为在连续时间的系统中他会引入时钟馈通产生的毛刺而不能正常工作^[5,6]。针对上述研究现状,本文设计的电路结合了 folded-cascode 结构以及 SC-CMFB 电路的优点,设计并实现了一种高单位增益带宽的全差分运放。

2 折叠式共源共栅全差分运放的分析与设计

2.1 折叠式共源共栅全差分运放的原理

共源共栅结构的设计思路是将输入电压转化成电流,然后将他作为共源共栅级的输入,共源共栅级电流的变化再转化为输出电压的变化。折叠式共源共栅全差分运放结构如图 1 所示。 M_1 、 M_2 是差分输入驱动管, M_3 为输入差分对的恒流源, M_6 、 M_7 形成折叠共源共栅晶体管, M_4 、 M_5 为电流源,通过控制 M_4 、 M_5 的栅极电压可取得共模反馈。 $M_8 \sim M_{11}$ 为共源共栅晶体管的电流源负载^[3]。

小信号条件下,运放的电压增益为:

$$|A_v| = G_m R_{out}$$

收稿日期: 2005-09-16

基金项目: 国家自然科学基金(60476046);

国家部委基金(51408010205DZ0164)

其中： $R_{out} \triangleq [(g_{m9} + g_{mb9})r_{o9}r_{o11}] || [(g_{m7} + g_{mb7})r_{o7}(r_{o1} || r_{o5})]$
 而： $G_m \triangleq g_{m1}$
 则： $|A_v| \triangleq g_{m1} \cdot [(g_{m9} + g_{mb9})r_{o9}r_{o10}] || [(g_{m7} + g_{mb7})r_{o7}(r_{o1} || r_{o5})]$

假设 C_{L1} , C_{L2} , C_{L3} 分别为 M_7 , M_{11} , M_5 漏极节点处的总电容, 则主极点的频率为:

$$P_1 = -\frac{1}{R_{out}C_{L1}}$$

非主极点频率为:

$$P_2 = -\frac{g_{m7}}{C_{L3}}, \quad P_3 = -\frac{g_{m9}}{C_{L2}}$$

其中 C_{L3} 主要取决于 C_{GS7} 。既然有一个零点大约等于 $-g_{m9}/C_{L2}$, 那么 P_3 的作用被抵消^[3,7]。由此可见, 折叠共源共栅全差分运放极点数少, 系统相对稳定, 另外次极点频率比主极点的高得多, 可以实现较高的单位增益带宽。

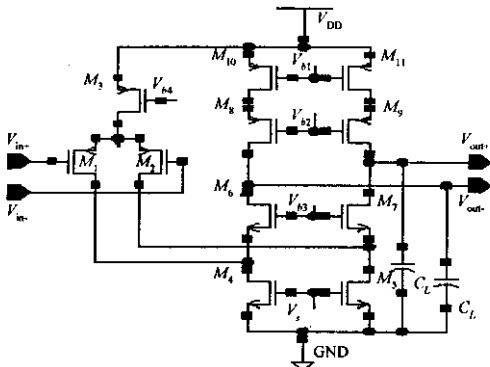


图1 折叠式共源共栅全差分运放 (不包括共模反馈电路部分)

2.2 折叠共源共栅全差分运放的设计考虑

折叠共源共栅全差分运放的设计首先从电路性能参数要求出发, 大致可以归纳为以下几点:

(1) 根据要求的最大电压输出摆幅对输出级进行过驱动电压分配, 如果适当选取 V_{b1} , V_{b2} 和 V_{b3} , 则摆幅的低端为 $V_{OD5} + V_{OD7}$, 高端为 $V_{DD} - (|V_{OD9}| + |V_{OD11}|)$ 。因此, 运放每一边的两峰值之间的摆幅等于 $V_{DD} - (V_{OD5} + V_{OD7} + |V_{OD9}| + |V_{OD11}|)$ 。例如, 设输出摆幅为 2.5 V, 则输出级每条支路的输出必须能摆动 1.25 V 而又不使 $M_6 \sim M_9$ 进入线性区。因此, 对于 2.5 V 的电源电压, $V_{OD5} + V_{OD7} + |V_{OD9}| + |V_{OD11}| = 1.25$ V, 由于 M_4, M_5 流过大的电流, 我们选择 $V_{OD5} \triangleq 0.4$ V, 又因为 $M_8 \sim M_{11}$ 的迁移率较低, 给他们分配约 0.3 V 的过驱动电压, 剩下约 0.25 V 分配给 M_6, M_7 。

(2) 根据功耗的性能参数, 对电路支路进行电流分配, 偏置电流 I_{D3} , I_{D4} 及 I_{D5} 应合理分配而使 cascode 电流镜的直流电流不会出现为零的情况, 为了达到这一点, I_{D4} 及 I_{D5} 的值一般为 I_{D3} 的 1 ~ 2 倍之间。

(3) 确定晶体管的偏置电流和过驱动电压均后, 由公

式 $I_D = (1/2)\mu C_{ox}(W/L)(V_{GS} - V_{TH})^2$ 很容易计算出晶体管的宽长比。

(4) 根据所需的增益带宽, 可确定 M_1, M_2 的宽长比, 即:

$$\frac{W_1}{L_1} = \frac{W_2}{L_2} = \frac{g_{m1}^2}{K_P'I_{D3}} = \frac{GB^2 C_L^2}{K_P'I_{D3}}$$

M_3 的尺寸由最大的输入共模电平 (即 $|V_{GS1}| + |V_{OD3}|$) 确定。即:

$$\frac{W_3}{L_3} = \frac{2I_{D3}}{K_P'[V_{DD} - V_{in(max)} - (\frac{I_{D3}L_1}{K_P'W_1})^{1/2} - V_{T1}]^2}$$

设计的最终目的是确定元件的尺寸, 而以上公式计算出的值只是粗略的, 在后续的仿真中还必须对这些尺寸进行调试, 使运放的直流工作点在线性放大区内^[2,3]。

3 开关电容共模反馈电路的设计

3.1 开关式电容共模反馈电路工作原理

一般来说, CMFB 电路主要由 CM 识别/检测电路和比较放大器构成。检测电路的输出电压并和希望的共模电压进行比较, 比较结果作为偏置电压来控制运放的电流源^[6]。

开关式电容共模反馈电路如图 2 所示: 两电容 C_c 组成电容分配器用来检测输出共模电平, 并产生输出电压的平均值 (这个电压用来产生控制运放电流源的电压), 另两电容 C_s 用作电阻的开关电容, 其大小由电容 C_c 决定, 同时 C_s 还是偏置电压和并联电容 C_c 的开关。clk1, clk2 为两相不交叠的时钟, 并通过 C_s 对 CMFB 网络进行刷新。 V_{out+} , V_{out-} 为运放输出电压, V_s 为此 CMFB 产生的调节电压, V_{bias} 是指与 V_s 相近似的电压, V_{cm} 代表期望的输出共模电压, 为了使输出信号摆幅最大, 共模参考电压值通常为电源的一半。

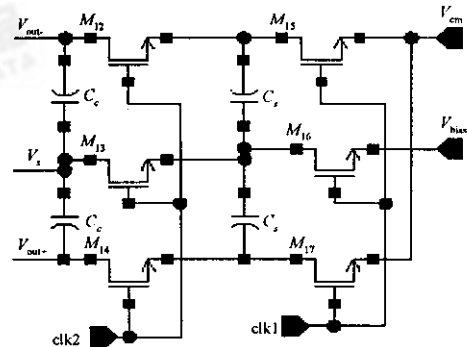


图2 开关式电容共模反馈电路

在时钟 clk1 为高电平期间, 电容 C_s 被预充电到一偏置电压 V_{bias} (由一二极管连接的晶体管产生)。在 clk2 为高电平期间, C_s 和 C_c 并联, 并在 C_c 上确立一个 DC 补偿电压。这补偿电压增加到输出共模电压 V_{cm} 以至 CMFB 控制电压 V_s 能被精确控制。根据电荷重新分配原理, 当 clk1 为高电平而 clk2 为低电平时, 电路总电荷为:

$$Q_1 = 2C_s(V_{cm} - V_{bias}) + C_c(V_{out+} + V_{out-} - 2V_s)$$

当 clk_2 为高电平而 clk_1 为低电平时,电路总电荷为:

$$Q_2 = (V_{out+} + V_{out-} - 2V_s) \times (C_c + C_s)$$

由电荷守恒原理 $Q_1 = Q_2$, 可得:

$$V_s = \left(\frac{V_{out+} + V_{out-}}{2} - V_{cm} \right) + V_{cm}$$

可见控制调节电压 V_s 的表达式包含了 3 部分:

- (1) 对输出共模电压的检测, 即 $(V_{out+} + V_{out-})/2$;
- (2) 与所给的参考电压的比较, 即: $(V_{out+} + V_{out-})/2 - V_{cm}$;

(3) 与初始电压的叠加。因此该开关电容 CMFB 完成了共模反馈的全部功能, 这种电路实现起来十分简单(不需要另外的比较器), 占用较小的芯片面积, 具有很好的稳定性, 并且动态开关电容不消耗额外的功率, 但他需要两相非交叠时钟^[5, 6, 8]。

3.2 开关电容共模反馈电路元件值的确定

电路试图保持 $V_s - V_{out+}$ (或 V_{out-}) 恒定, 并通过 C_s 的刷新使其等于 $V_{bias} - V_{cm}$ 。 C_s 和 C_c 的比值决定在两时刻 $N+1$ 和 N 之间步长的幅度, 他会导致不同的收敛速度, 比值越大收敛越快。然而 C_s 的增大会降低放大器的频率性能, 所以这电容比值的选择不应该在 CMFB 的速度(步长幅度)和放大器频率性能之间进行折中。电容 C_c 应取相对较小值, 因为他与输出电容并联, 增大了输出电容, 减小了运放的 3 dB 带宽, 同时输出节点的寄生电容也降低了放大器的频率特性, 所以 C_c 应尽可能小; 另外小的电容还可虑掉不必要的高频噪声。但是, 太小的 C_c 值需要多时钟周期来使电路开始正常的工作。放大器的开环增益相对较小, 因此相对于 C_{GS} , C_s 应当适当大, 否则反馈不能很好工作^[4, 8]。基于以上的考虑, $C_c = 0.1 \text{ pF}$, $C_s = 0.7 \text{ pF}$ 已满足该电路的设计要求。

3.3 输出共模电平的建立时间

许多现代手提式及电池供电系统要求有电源关断模式以降低功耗。因此 SC-CMFB 的直流输出共模建立时间对于一个全差分模拟电路是关键的, 他决定了全差分模拟电路在电源开启或从关断模式到激活模式的过渡能否可靠工作。测量 V_{cm} 建立时间的电路接法^[6] 如图 3 所示。

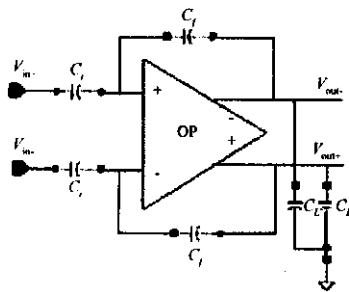


图 3 具有 SC-CMFB 的全差分运放的反馈结构

4 仿真结果与讨论

图 4 为两相不相交叠的时钟波形, 在该时钟作用下,

利用图 3 结构, 并设 $C_i = C_f = 0.5 \text{ pF}$, $C_L = 0.55 \text{ pF}$, 在信号输入端输入共模信号, 对输出端进行瞬态分析, 得到输出共模建立时间波形如图 5 所示。仿真过程中出现了输出共模电压存在与时钟同频率的较大波动, 这是由于 NMOS 开关与电容存在时钟馈通效应, 通过减少开关器件的面积可明显改善时钟馈通效应; 另外可以通过增大开关电容来改善馈通效应, 但这一方法会降低运放的 3 dB 带宽; 为克服馈通效应, 还可使用 CMOS 开关, 这是因为 CMOS 开关由两个反相时钟控制, PMOS 和 NMOS 同时产生的两个正反耦合电压可相互抵消, 其缺点在于使用了比 NMOS 多一倍的晶体管, 占用较大的面积, 带来更多的寄生效应^[5]。

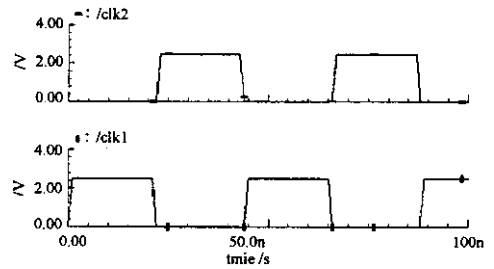


图 4 两相不相交叠的时钟

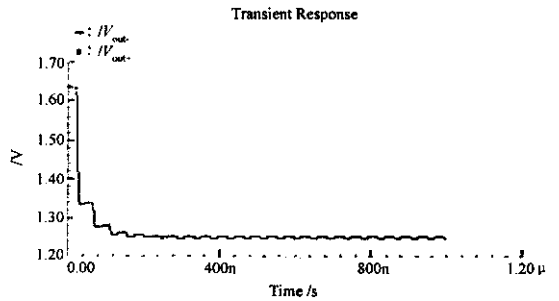


图 5 共模输出电平的瞬态响应

对运放进行 AC 分析的电路结构^[2] 如图 6 所示, 其中反馈电阻 R 为 $1 \text{ G}\Omega$, 输入电容 C_i 为 1 fF 。为提高增益, 可以增大 M_4 , M_5 的栅长, 还有 M_1 , M_2 的跨导相对较低, 可以增加他们的宽度。最后, 可以通过把 M_6 , M_7 的长和宽均加倍而使这两个器件的本征增益提高一倍, 但用这种方式提高增益是以增加其漏极节点的电容为代价而得到的^[3]。

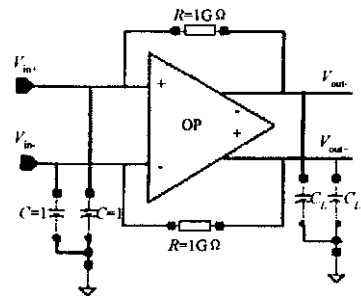


图 6 测试 AC 响应的闭环结构

为提高单位增益带宽, 可以增加 M_1 , M_2 的宽度; 或者增大 I_{D3} 的值, 但这样做会降低直流开环增益, 两者之间需要折中, 同时也要重新调整合适的直流工作点; 另外, 也可

以通过减小负载电容来实现,但负载电容的减小会导致相位裕度的下降,应在相位与带宽之间折中^[3]。

经过反复调试和各方面性能的折中,所得运放的频率曲线如图 7 所示,从图可以看出,所设计的放大器增益为 70 dB,单位增益带宽为 500 MHz,相位为 47 deg。

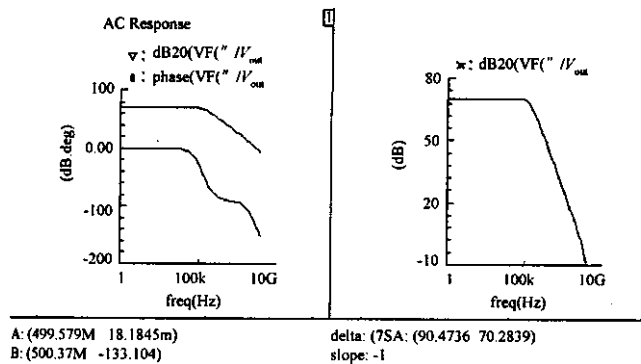


图 7 运放的频率特性曲线

5 结 语

本文采用折叠共源共栅技术以及开关式电容共模反馈结构设计了一种高单位增益带宽的全差分 CMOS 运算放大器。仿真结果显示,在 2.5 V 的单电源电压下可以得到 70 dB 的直流开环增益和 500 MHz 的单位增益带宽,实现了运放的高单位增益带宽,该运放可以应用于高速 A/D 转换器等领域。

作者简介 朱小珍 女,1979 年出生,广西玉林人,硕士研究生。主要研究方向为深亚微米模拟电路设计。

柴常春 男,1960 年出生,江苏徐州人,西安电子科技大学微电子学院教授。主要研究方向为高温半导体材料与器件技术、半导体敏感材料与元件等,获省(部)级科技进步奖多项,国家发明专利两项,在国内外学术刊物上发表研究论文近 40 篇。

朱樟明 男,1978 年出生,浙江嵊州人,副教授、博士。主要研究方向为高速 ADC/DAC 设计、低压低功耗模拟电路设计。

(上接第 67 页)

足了企业建立特定资源模型的需要,实现了业务流程重组的要求,使得企业对 ERP 的实施更加有保障。

然而,企业要想真正地结合 ERP 与 BPR 也是一个循环摸索过程,应用 Petri 网建立过程模型使 ERP 与 BPR 更好地结合只是其中的一种方法,ERP 与 BPR 更多的结合思想和理论需进一步探讨和完善。

参 考 文 献

[1] 侯发欣,张旭梅,熊红,等.基于 Petri 网的虚拟供应链物流网络优化[J].计算机集成制造系统,2004,12(10):1509-

1513.

[2] 乔非,高桂花,白海涛.基于高级 Petri 网的流程建模支持系统设计、开发与应用[J].计算机工程,2000,10(3):41-43.

[3] 徐旭珊,覃蓉芳,武振业. Petri 网在经营过程重构(BPR)中的应用研究[J].计算机应用研究,2001(7):35-37.

[4] 《运筹学》教材编写组.运筹学[M].北京:清华大学出版社,2005.

参 考 文 献

[1] Paul R Gray, Paul J Hurst, Stephen H Lewis *et al.* Analysis and Design of Analog Integrated Circuits[M]. 4th Edition. New York: John Wiley & Sons, Inc, 2001. 808-829.

[2] Phillip E Allen, Douglas R Holberg. CMOS Analog Circuit Design[M]. 2nd Edition. Oxford University Press, 2002.

[3] 毕查德·拉扎维著.模拟 CMOS 集成电路设计[M].陈贵灿,程军,张瑞智,等译.西安:西安交通大学出版社,2002.

[4] Buit K, Geelen G. A Fast-settling CMOS Operational Amplifier for SC Circuits with 90-dB DC Gain[J]. IEEE Solid-State Circuits, 1990, 25(6):1379-1384.

[5] 孙艳,吴建辉,陆生礼,等.一种动态开关电容运算放大器共模反馈电路[J].电路与系统学报,2004,9(1):55-58.

[6] Ojas Choksi, Richard Carley L. Analysis of Switched-Capacitor Common-Mode Feedback Circuit[J]. IEEE Transactions on Circuits and Systems - II: Analog and Digital Signal Processing, 2003, 50(12):906-916.

[7] Sudhir M Mallya, Joseph H Nevin. Design Procedures for a Fully Differential Folded-Cascode CMOS Operational Amplifier[J]. IEEE of Solid-State Circuits, 1989, 24(6):1737-1740.

[8] Recoules H, Bouchakour R, Loumeau P *et al.* Two SC-CMFB Networks Used in Fully Differential OTA: Measurements and Improvements. Circuits and Systems, 1998. Proceedings. 1998 Midwest Symposium on 9-12 Aug. 1998, Page(s): 352-355.

作者简介 刘聪 女,1980 年出生,陕西榆林人,就读于西安电子科技大学经济管理学院,2003 级在读硕士。主要研究方向为供应链管理、ERP 项目、效益分配。